



Amélioration de la fiabilité d'un convertisseur DC/DC boost entrelacé flottant pour des systèmes pile à combustible et photovoltaïques

Damien Guilbert, Abdoul N'Diaye, Patrice Lubarda, Arnaud Gaillard, Abdesslem Djerdir

► To cite this version:

Damien Guilbert, Abdoul N'Diaye, Patrice Lubarda, Arnaud Gaillard, Abdesslem Djerdir. Amélioration de la fiabilité d'un convertisseur DC/DC boost entrelacé flottant pour des systèmes pile à combustible et photovoltaïques. Symposium de Genie Electrique, Jun 2016, Grenoble, France. hal-01361652

HAL Id: hal-01361652

<https://hal.science/hal-01361652>

Submitted on 7 Sep 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Amélioration de la fiabilité d'un convertisseur DC/DC boost entrelacé flottant pour des systèmes pile à combustible et photovoltaïques

Damien GUILBERT^a, Abdoul N'DIAYE^b, Patrice LUBERDA^b, Arnaud GAILLARD^c, Abdesslem DJERDIR^b

^aUniversité Grenoble Alpes, G2Elab, 21 rue des martyrs, 38000 Grenoble, France

^b Univ. Bourgogne Franche-Comté, UTBM, IRTES (EA 7274), 90000 Belfort, France

^c Univ. Bourg. Franche-Comté, UTBM, FEMTO-ST Institute, Energy department (UMR CNRS 6174), 90000 Belfort, France

RESUME— Dans les systèmes pile à combustible et photovoltaïques, les convertisseurs DC/DC doivent répondre à de nombreuses problématiques en termes de compacité, gain d'élévation, réduction de l'ondulation de courant d'entrée, efficacité énergétique et fiabilité en cas de défauts d'interrupteur de puissance. Dans cet article, un convertisseur DC/DC boost entrelacé flottant a été choisi afin de respecter ces contraintes pour ce type d'application. Malgré la présence de redondance, un défaut d'interrupteur de puissance peut détériorer la fiabilité du convertisseur en raison des contraintes électriques supplémentaires sur les composants. L'objectif de cet article est de proposer un algorithme de détection de défauts d'interrupteur de puissance basé sur les vecteurs de Park et une gestion des modes de fonctionnement dégradé. Les résultats de simulation et expérimentaux obtenus démontrent les performances de l'algorithme de détection à améliorer la fiabilité du convertisseur.

Mots-clés— Pile à combustible, Photovoltaïque, Convertisseur DC/DC boost entrelacé flottant, Défauts d'interrupteur de puissance, Algorithme de détection, Contrôle tolérant aux défauts, Ondulation de courant, Fiabilité.

1. INTRODUCTION

Les sources d'énergie renouvelables et durables tels que les modules photovoltaïques et les piles à combustible (PàC) exigent un système de conditionnement d'énergie. En effet, les tensions produites par les cellules de PàC et photovoltaïques sont relativement faibles et ont besoin d'être augmentées jusqu'à un niveau de tension élevé pour un certain nombre d'applications [1]. Généralement, un convertisseur DC/DC boost est utilisé dans cet objectif. Toutefois, cette architecture présente de nombreux inconvénients pour ces applications, particulièrement en termes de fiabilité en cas de défauts d'interrupteur de puissance. En effet, en se basant sur une enquête réalisée en 2011 [2] pour déterminer les exigences industrielles et les attentes en termes de fiabilité dans les convertisseurs DC/DC, les interrupteurs de puissance sont classés comme les composants les plus sensibles. En effet, plus de 30% des défaillances reportées dans ces convertisseurs sont dues aux interrupteurs de puissance. En outre, cette enquête a permis de souligner les causes principales de défaillance des interrupteurs de puissance : environnement, transitoires, et contraintes électriques. La fiabilité d'un convertisseur boost

peut être améliorée par l'utilisation de redondance dynamique, qui consiste à rajouter un bras redondant [3]-[7]. Cependant, l'utilisation de redondance dynamique revient à accroître le prix et la complexité du convertisseur. Afin d'éviter l'utilisation de redondance dynamique, les topologies de convertisseur DC/DC boost entrelacé se présentent comme des solutions efficaces. Plusieurs articles reportés dans la littérature [1],[8],[9] ont mis en valeur les avantages de ces topologies comparées aux autres topologies développées pour des applications PàC et photovoltaïques. En effet, ces topologies présentent de nombreux avantages en termes de compacité, de réduction de l'ondulation de courant d'entrée, d'efficacité énergétique et de prédisposition aux fonctionnements en mode dégradé (i.e. défectueux) en cas de défauts d'interrupteur de puissance [8].

Dans cette étude, il a été choisi de se focaliser sur un convertisseur DC/DC boost entrelacé flottant (Fig. 1), qui contrairement aux topologies entrelacées classiques, présente un gain d'élévation élevé. Pour des objectifs d'optimisation en termes de volume des inductances, de réduction de l'ondulation de courant et d'optimisation de l'efficacité énergétique, ce convertisseur est composé de quatre bras [10]. Cette topologie est composée d'une partie non flottante (i.e. partie supérieure) et d'une partie flottante (i.e. partie inférieure). Afin de garder le convertisseur en équilibre, le nombre de bras doit être nécessairement pair. Toutefois, la présence d'un défaut va conduire à un déséquilibre entre la partie non flottante et flottante. Ce déséquilibre se traduit par des contraintes de courant supplémentaires sur les composants présents dans la partie défectueuse. Si ces contraintes électriques supplémentaires ne sont pas prises en compte, cela peut conduire à la saturation des composants magnétiques et à de nouvelles défaillances [11], [12]. Des fusibles (F1 à F4) ont été ajoutés en série avec chaque interrupteur de puissance de la topologie afin d'isoler le bras défectueux en cas de court-circuit. En outre, un fusible (F) a été connecté en série avec la PàC afin de la protéger contre d'éventuels défauts de court-circuit [8].

Afin de garantir un haut niveau de fiabilité dans ce convertisseur, le développement d'algorithmes de détection de défauts d'interrupteur de puissance et de contrôles tolérants

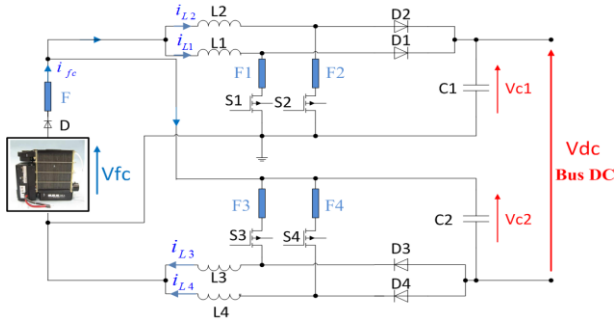


Fig.1 Convertisseur DC/DC boost entrelacé flottant associé à une PàC.

aux défauts est nécessaire. Jusqu'à présent, très peu d'articles [13]-[15] ont été rapportés dans la littérature concernant la détection de défauts d'interrupteur de puissance dans les topologies de convertisseur DC/DC entrelacé. Ribeiro et al. [13] ont développé un algorithme de détection de défauts d'interrupteur de puissance de type circuit ouvert pour un convertisseur DC/DC boost entrelacé composé de trois bras. L'algorithme de détection se base sur la dérivée du courant à l'entrée du convertisseur. La dérivée du courant est étudiée minutieusement pour un mode sain et dégradé (i.e. défaut circuit ouvert). La méthode présentée est robuste face aux transitoires et au déséquilibre du courant entre phases, et n'exige pas de capteurs additionnels ; ce qui la rend attractive pour des applications industrielles pratiques. L'algorithme est implémenté sur cible dSPACE, permettant de détecter un défaut en quelques millisecondes. Toutefois, l'article ne présente aucune gestion des modes de fonctionnement dégradé malgré les contraintes électriques supplémentaires sur les composants sains [8]. Par comparaison, Poon et al. [14] ont proposé un algorithme de détection de défauts de type circuit ouvert et court-circuit pour un convertisseur DC/DC boost entrelacé composé de six bras. La méthode de détection est basée sur une approche d'estimateur basé modèle. Des résultats de simulation et expérimentaux sont présentés afin de valider la méthode de détection. Enfin, Guilbert et al. [15] ont présenté une méthode de détection de défauts de type circuit ouvert et une gestion des modes de fonctionnement dégradé pour un convertisseur DC/DC boost entrelacé flottant composé de quatre bras. L'algorithme se base sur le comportement des courants de bras suite à un défaut sur un bras. Une fois le défaut détecté et localisé, un contrôle tolérant aux défauts est appliqué au convertisseur. Ce dernier consiste à ajuster l'angle de décalage des signaux de commande des interrupteurs de puissance afin de réduire drastiquement l'ondulation de courant d'entrée du convertisseur (non désirée pour des applications PàC et photovoltaïques) [15].

En se basant sur la littérature existante de cette thématique de recherche en pleine émergence [3]-[7], [13]-[15], l'objectif de cet article est de développer une méthode originale de détection pour des défauts de type circuit ouvert et court-circuit basée sur les vecteurs de Park. Par ailleurs, afin d'améliorer la fiabilité et la disponibilité du convertisseur étudié, une gestion des modes de fonctionnement en mode dégradé est proposée. Afin d'assurer une détection rapide des défauts, la méthode de détection est implémentée sur cible FPGA. Les résultats obtenus par simulation et expérimentation démontrent l'efficacité de la méthode de détection et des contrôles tolérants aux défauts à améliorer la fiabilité du convertisseur.

Cet article est divisé en quatre sections. Après l'introduction présentant l'état de l'art de cette thématique et également les motivations de ce travail de recherche, la section 2 présente la méthode de détection basée sur les vecteurs de Park et les contrôles tolérants aux défauts développés. De plus,

une étude bibliographique est fournie concernant l'utilisation des vecteurs de Park comme outil de détection en génie électrique. Ensuite, des résultats de simulation sont donnés en section 3 afin de valider la méthode de détection et les contrôles tolérants aux défauts. Enfin, le banc de test et les résultats expérimentaux obtenus sont présentés en section 4.

2. METHODE DE DETECTION ET CONTROLES TOLERANTS AUX DEFAUTS DEVELOPPES

2.1. Vecteurs de Park

La transformée dq0 (i.e. direct-quadrature-zéro) se présente comme un outil mathématique utilisé en électrotechnique pour simplifier l'analyse des machines synchrones triphasées et les calculs pour la commande vectorielle des onduleurs [16]. Une topologie entrelacée classique composée de trois bras présente des similitudes avec les systèmes triphasés puisque les courants sont décalés les uns par rapport aux autres d'un angle de 120° (i.e. $2\pi/3$). Dans cette topologie, ce décalage est obligatoire afin de minimiser l'ondulation de courant d'entrée [8]. Pour un système triphasé, la transformée dq0 est donnée par la matrice de changement de repère suivante [16] :

$$\begin{bmatrix} i_d \\ i_q \\ i_0 \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \cos(\theta) & \cos(\theta - \frac{2\pi}{3}) & \cos(\theta + \frac{2\pi}{3}) \\ -\sin(\theta) & -\sin(\theta - \frac{2\pi}{3}) & -\sin(\theta + \frac{2\pi}{3}) \\ \frac{\sqrt{2}}{2} & \frac{\sqrt{2}}{2} & \frac{\sqrt{2}}{2} \end{bmatrix} \begin{bmatrix} i_{L1} \\ i_{L2} \\ i_{L3} \end{bmatrix} \quad (1)$$

Cette transformée dq0 peut être modifiée afin qu'elle puisse être adaptée à des convertisseurs entrelacés polyphasés [9] et des convertisseurs entrelacés flottants [15]. En s'appuyant sur l'équation (1), la nouvelle matrice de changement de repère pour un convertisseur boost entrelacé flottant composé de quatre bras est donnée ci-dessous :

$$\begin{bmatrix} i_d \\ i_q \\ i_0 \end{bmatrix} = \frac{1}{\sqrt{2}} \begin{bmatrix} \cos(\theta) & \cos(\theta - \frac{\pi}{2}) & \cos(\theta - \pi) & \cos(\theta - \frac{3\pi}{2}) \\ -\sin(\theta) & -\sin(\theta - \frac{\pi}{2}) & -\sin(\theta - \pi) & -\sin(\theta - \frac{3\pi}{2}) \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \begin{bmatrix} i_{L1} \\ i_{L2} \\ i_{L3} \\ i_{L4} \end{bmatrix} \quad (2)$$

En partant de cette nouvelle matrice de changement de repère, les expressions suivantes peuvent être déduites en considérant que l'angle θ est nul :

$$\begin{cases} i_d = \frac{1}{\sqrt{2}}(i_{L1} - i_{L3}) \\ i_q = \frac{1}{\sqrt{2}}(i_{L2} - i_{L4}) \\ i_0 = \frac{1}{2}(i_{L1} + i_{L2} + i_{L3} + i_{L4}) \end{cases} \quad (3)$$

Les équations données en (3) sont bien connues dans la littérature comme les *vecteurs de Park* [16].

Au cours des dernières décennies, les vecteurs de Park ont été utilisés avec succès comme outil de détection en génie électrique ; en particulier dans les transformateurs de puissance, les moteurs asynchrones et synchrones, et les convertisseurs de puissance (redresseurs, onduleurs). Cet outil de détection a permis de détecter différents types de défaillances (ex. mécaniques, électriques). Une revue de l'utilisation des vecteurs de Park comme outil de détection a été réalisé dans un précédent travail de recherche [17].

En se basant sur la littérature existante sur l'utilisation des vecteurs de Park comme outil de détection [17],[18], ces derniers n'ont pas été étudiés dans les convertisseurs DC/DC entrelacés. Les courants du convertisseur DC/DC boost entrelacé flottant (Fig. 1) et les courants issus des vecteurs de Park (i.e. i_d et i_q) peuvent être représentés dans un plan circulaire (Fig. 2). Les amplitudes des courants du convertisseur et de Park ont été choisies arbitrairement afin de

représenter les courants dans un plan circulaire. Dans ce travail de recherche, les courants de Park (i.e. i_d et i_q) sont utilisés pour détecter le type de défaut.

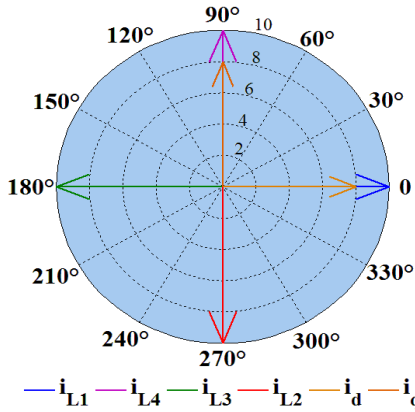


Fig.2 Représentation des courants du convertisseur et de Park dans un plan circulaire.

Par la suite, de plus amples informations sont fournies concernant la détection des défauts de type circuit ouvert et court-circuit ainsi que de la gestion des modes de fonctionnement dégradé.

2.2. Détection de défauts de type circuit ouvert

Afin de développer l’algorithme de détection de défauts d’interrupteur de puissance de type circuit ouvert, les effets des interrupteurs défectueux sur les courants de Park ont été analysés. Pour cela, des simulations ont été réalisées en couplant les logiciels PSIM et Matlab/Simulink. Un modèle multi physique de PàC [8] et le contrôle du convertisseur ont été implémentés dans l’environnement Matlab/Simulink ; tandis que le circuit de puissance du convertisseur a été réalisé dans l’environnement PSIM. Le couplage entre les deux logiciels a pour objectif d’optimiser le temps de simulation. Le contrôle du convertisseur a été conçu afin que la PàC puisse fonctionner dans sa région ohmique (Fig. 3) pour prolonger sa durée de vie [15].

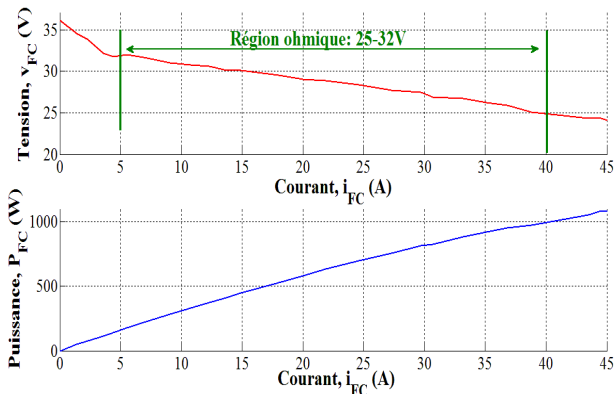


Fig.3 Courbe de polarisation et de puissance de la PàC étudiée.

L’équation (3) est appliquée aux quatre courants du convertisseur afin d’obtenir les courants de Park. Les défauts de type circuit ouvert sont simulés en envoyant un signal logique « 0 » au circuit de commande de l’interrupteur [8]. Afin de simplifier l’analyse de l’impact des défauts de type circuit ouvert sur les courants de Park, seul le deuxième bras (i.e. S2 dans la partie non flottante) et le quatrième bras (i.e. S4 dans la partie flottante) sont considérés. Les impacts d’un défaut de S2 et de S4 sur les courants de Park sont illustrés respectivement sur les Fig. 4 et 5. Ces simulations ont été réalisées lorsque la PàC fonctionne à sa puissance nominale

(i.e. fin de la région ohmique illustrée sur la Fig. 3). Les spécifications du système sont résumées dans le tableau 1.

Comme il peut être observé sur les Fig. 4 et 5, suite à un défaut sur la partie non flottante (Fig. 4) et la partie flottante

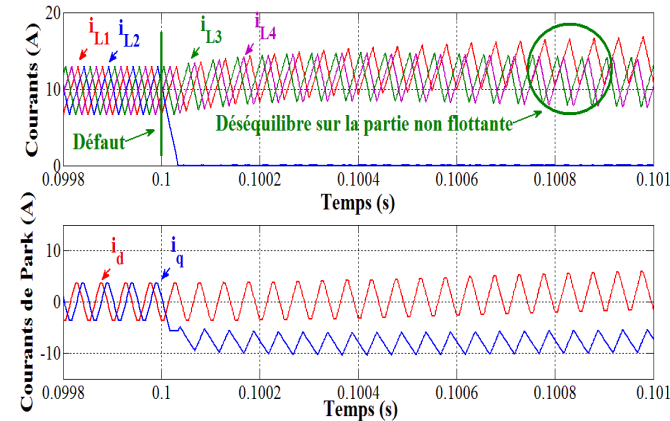


Fig.4 Mode dégradé en cas de défaut de type circuit ouvert sur l’interrupteur S2 obtenu à puissance nominale : courants du convertisseur, courants de Park.

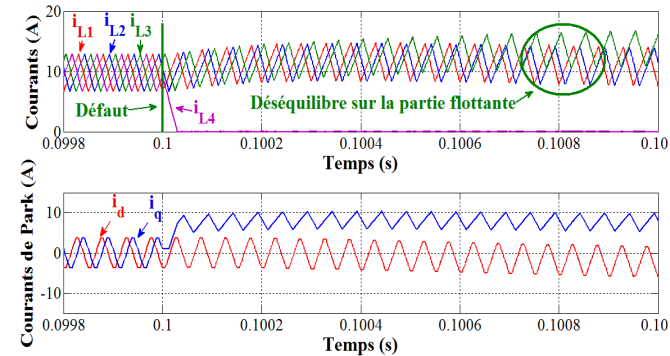


Fig.5 Mode dégradé en cas de défaut de type circuit ouvert sur l’interrupteur S4 obtenu à puissance nominale : courants du convertisseur, courants de Park.

(Fig. 5), seul l’interrupteur de puissance localisé dans la partie défectueuse est affecté. En effet, l’interrupteur de puissance compense entièrement la perte d’un bras puisque les contraintes de courant sont doublées par rapport à un mode sain [15]. Etant donné que les interrupteurs de puissance sont dimensionnés pour supporter certaines contraintes de courant pour un fonctionnement nominal en mode sain, ces contraintes électriques supplémentaires pourraient conduire à une défaillance de l’interrupteur de puissance [12]. De là, cela entraînerait une réaction en chaîne avec la défaillance des composants restants et par conséquent le convertisseur ne serait plus disponible. Afin d’éviter ce cas de fonctionnement critique, les interrupteurs de puissance doivent être préalablement dimensionnés afin de supporter d’éventuelles contraintes électriques supplémentaires en cas de défauts [8].

Tableau 1. Spécifications du système

Paramètres	Valeurs
Puissance nominale PàC, P_{FC}	1 kW
Courant nominal PàC, I_{FC}	42 A
Ondulation de courant, Δi_{FC}	2.5 A
Plage de tension PàC (région ohmique), V_{FC}	25-32 V
Inductance, L	120 μ H
Tension du bus DC, V_{DC}	100 V
Fréquence de commutation, F_s	20 kHz
Plage de rapport cyclique, D	0.52-0.59

Chaque défaut de type circuit ouvert affecte fortement et différemment les courants de Park (Fig. 4 et 5). En se basant sur les effets de chaque bras défectueux sur les courants de Park, un algorithme de détection de ce type de défaut peut être développé. Ce dernier est basé sur les seuils des courants de Park. Dans ce travail de recherche, les défauts de type circuit ouvert sont nommés « OC_x », où x représente le bras défectueux. L'algorithme de détection est basé sur ces différentes équations pour chaque bras défectueux :

$$\begin{cases} OC_1 = i_{dl} \cdot (\iota_{qs} + \iota_{ql}) \\ OC_2 = i_{ql} \cdot (\iota_{ds} + \iota_{dl}) \\ OC_3 = i_{ds} \cdot (\iota_{qs} + \iota_{ql}) \\ OC_4 = i_{qs} \cdot (\iota_{ds} + \iota_{dl}) \end{cases} \quad (4)$$

Où i_{dl} et i_{ql} représentent respectivement les seuils minimum de i_d et i_q ; tandis que i_{ds} et i_{qs} sont respectivement les seuils maximum de i_d et i_q . Ces seuils ne sont pas constants et peuvent changer selon le point de fonctionnement de la PàC. Afin d'améliorer la robustesse de l'algorithme développé, des équations pour déterminer les différents seuils des courants de Park doivent être développées. Selon l'équation (3) et les Fig. 4 et 5, les seuils maximum et minimum du courant i_d sont obtenus lorsque les courant i_{L3} et i_{L1} atteignent respectivement leurs valeurs minimum; tandis que les seuils maximum et minimum du courant i_q sont obtenus lorsque les courant i_{L4} et i_{L2} atteignent respectivement leurs valeurs minimum. Les expressions mathématiques pour déterminer les seuils des courants de Park sont développées en partant des hypothèses suivantes :

1. Les résistances parasites des inductances et des condensateurs sont négligeables.
2. Les inductances et condensateurs parasites sont négligés.
3. Les interrupteurs de puissance sont considérés comme idéals.
4. Les composants passifs sont identiques.
5. Les commandes des interrupteurs de puissance sont décalées les unes par rapport aux autres d'un angle de 90° (i.e. $\pi/2$).
6. Le convertisseur DC/DC boost entrelacé flottant fonctionne en mode de conduction continue.

Premièrement, les valeurs des courants du convertisseur lorsque le seuil maximum de i_d et i_q est atteint, peuvent être obtenues par les équations suivantes :

$$\begin{cases} i_{Lmin} = i_{L3min} = i_{L4min} = \frac{i_{FC}}{N} - \frac{\Delta i_L}{2} \\ i_{L1} = i_{L2} = i_{Lmax} - ((\frac{v_{FC}}{L})T_s(D - \frac{1}{2})) \end{cases} \quad (5)$$

Où N est le nombre de bras du convertisseur (dans notre cas $N=4$), T_s est la période de commutation du convertisseur en (s), i_{Lmax} est le courant maximum dans un bras en (A), et enfin Δi_L est l'ondulation de courant dans un bras en (A). Le courant i_{Lmax} et l'ondulation de courant Δi_L sont donnés par les expressions suivantes :

$$\begin{cases} i_{Lmax} = \frac{i_{FC}}{N} + \frac{\Delta i_L}{2} \\ \Delta i_L = \frac{D(1-D)v_{DC}}{(1+D)LF_s} \end{cases} \quad (6)$$

Enfin, les valeurs des courants du convertisseur lorsque le seuil minimum de i_d et i_q est atteint, peuvent être obtenues par les équations suivantes :

$$\begin{cases} i_{Lmin} = i_{L1min} = i_{L2min} = \frac{i_{FC}}{N} - \frac{\Delta i_L}{2} \\ i_{L3} = i_{L4} = i_{Lmax} - ((\frac{v_{FC}}{L})T_s(D - \frac{1}{2})) \end{cases} \quad (7)$$

En remplaçant les équations (5)-(7) dans l'équation (3) des courants de Park, les seuils des courants de Park peuvent être déterminés. Afin de vérifier la validité des équations (5)-(7), les valeurs de seuils obtenues à partir de l'équation (3) ont été comparées avec celles obtenues par simulation (Tableau 2 et 3). En se basant sur les tableaux 2 et 3, les équations (5)-(7) développées permettent de déterminer avec précision les valeurs des seuils des courants de Park. Ces seuils de courant sont utilisés comme critère de détection du bras défectueux. Pour conclure, la détermination des seuils de courants est cruciale afin d'augmenter la robustesse de l'algorithme de détection face aux transitoires.

Tableau 2. Comparaison des valeurs de seuils des courants de Park obtenues par théorie avec celles obtenues par simulation pour $D=0.59$ (fin de la région ohmique)

Théorie	Simulation
$i_{ds}=3.7$	$i_{ds}=3.8$
$i_{dl}=-3.7$	$i_{dl}=-3.8$
$i_{qs}=3.7$	$i_{qs}=3.8$
$i_{ql}=-3.7$	$i_{ql}=-3.8$

Tableau 3. Comparaison des valeurs de seuils des courants de Park obtenues par théorie avec celles obtenues par simulation pour $D=0.52$ (début de la région ohmique)

Théorie	Simulation
$i_{ds}=4.7$	$i_{ds}=4.8$
$i_{dl}=-4.7$	$i_{dl}=-4.8$
$i_{qs}=4.7$	$i_{qs}=4.8$
$i_{ql}=-4.7$	$i_{ql}=-4.8$

Après avoir développé dans cette section l'algorithme de détection des défauts de type circuit ouvert, la prochaine sous-section traite des défauts de type court-circuit.

2.3. Détection de défauts de type court-circuit

De la même manière que pour les défauts de type circuit ouvert, des défauts de court-circuit ont été simulés à la fois sur la partie non flottante (i.e. S2 défectueux) et la partie flottante (i.e. S4 défectueux). Ces défauts sont générés en envoyant un signal logique « 1 » au circuit de commande du convertisseur. Les impacts d'un défaut de S2 et de S4 sur les courants de Park sont illustrés respectivement sur les Fig. 6 et 7.

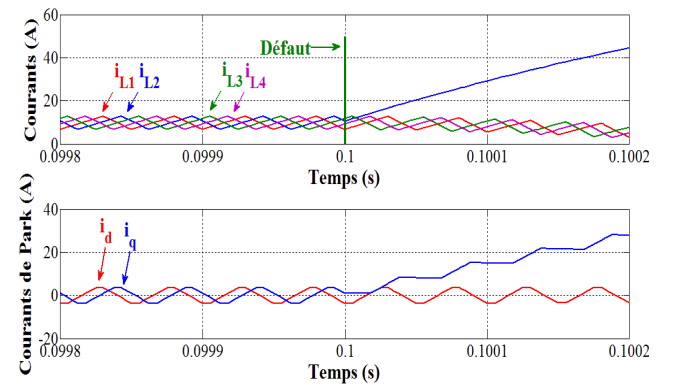


Fig.6 Mode dégradé en cas de défaut de type court-circuit sur l'interrupteur S2 obtenu à puissance nominale : courants du convertisseur, courants de Park.

Les défauts de court-circuit sont considérés comme les défauts les plus néfastes dans les convertisseurs de puissance. En effet, en l'absence de protection (ex. fusibles), ce défaut peut conduire à la destruction du composant défectueux et également à l'endommagement du convertisseur. En se basant sur la littérature existante sur la tolérance aux défauts des convertisseurs DC/DC [15], les défauts de type circuit ouvert

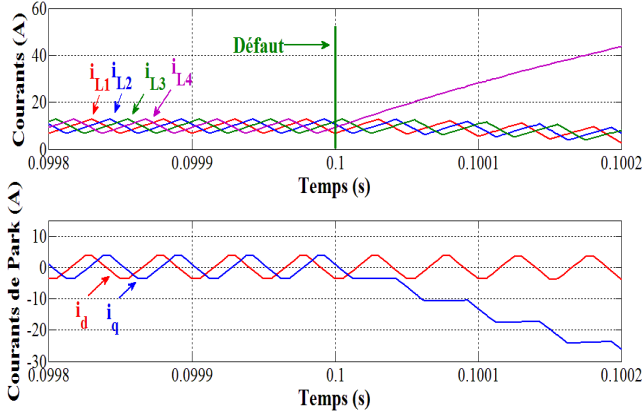


Fig.7 Mode dégradé en cas de défaut de type court-circuit sur l'interrupteur S4 obtenu à puissance nominale : courants du convertisseur, courants de Park.

sont traités dans la majeure partie des articles comparés aux défauts de court-circuit. La raison principale pour laquelle les défauts de type circuit ouvert sont particulièrement étudiés est due à l'utilisation de fusibles dans le convertisseur DC/DC afin de le protéger contre d'éventuels défauts de court-circuit [15]. Etant donné que les défauts de court-circuit sont plus difficiles à gérer que les défauts de type circuit ouvert, ces derniers doivent être détectés très rapidement.

De la même façon que pour les défauts de type circuit ouvert, les défauts de court-circuit peuvent être détectés et identifiés précisément à l'aide d'équations déduites à partir des résultats de simulation reportés sur la Fig. 6 et 7. Dans ce cas, les défauts de court-circuit sont nommés « SC_x », où x représente le bras défectueux. L'algorithme de détection est basé sur ces différentes équations pour chaque bras défectueux :

$$\begin{cases} SC_1 = i_{ds} \cdot (l_{qs} + l_{ql}) \\ SC_2 = i_{qs} \cdot (l_{ds} + l_{dl}) \\ SC_3 = i_{dl} \cdot (l_{qs} + l_{ql}) \\ SC_4 = i_{ql} \cdot (l_{ds} + l_{dl}) \end{cases} \quad (8)$$

Comme il peut être observé à partir des équations (4) et (8), les effets sur les courants de Park d'un défaut de type circuit ouvert ou bien court-circuit sont inversés. En effet, un défaut de type circuit ouvert sur le bras 1 va conduire au dépassement du seuil minimum du courant i_d ; tandis qu'un défaut de court-circuit entraîne le dépassement du seuil maximum du courant i_d . Etant donné que les deux algorithmes doivent fonctionner en parallèle, une condition doit être rajoutée à l'algorithme afin d'éviter toute fausse détection de la nature du défaut. C'est pourquoi, le signe de la pente du courant dans chaque bras est associé à l'équation (8) afin de dissocier la nature du défaut. Le signe de la pente du courant est positif lorsque le courant croît (i.e. interrupteur fermé) et est négatif lorsque le courant décroît (i.e. interrupteur ouvert).

2.4. Contrôles tolérants aux défauts

Comme il a été souligné dans un précédent travail de recherche [15], la perte d'un bras d'un convertisseur DC/DC

boost entrelacé flottant va conduire à l'augmentation drastique de l'ondulation de courant à l'entrée du convertisseur. Ces dernières années, la compréhension des impacts des ondulations de courant générées par le convertisseur DC/DC sur les PàC et les générateurs photovoltaïques a été au centre de toutes les attentions [8], [19]-[22]. En se basant sur la littérature existante, les ondulations de courant haute fréquence peuvent conduire à des dégradations à long terme sur les PàC et à une diminution de l'efficacité énergétique des générateurs photovoltaïques. Dans notre cas d'étude, les ondulations de courant peuvent être minimisées en mode dégradé en supprimant un bras du convertisseur. En effet, dû à la présence d'une partie non flottante et flottante dans le convertisseur étudié, la perte d'un bras conduit à un déséquilibre entre les deux bus DC (Fig. 1). Afin d'éviter un déséquilibre, un bras de la partie non défectueuse doit être supprimé. Le choix du bras à supprimer dépend fortement de la localisation du défaut. Une fois le convertisseur rééquilibré, les courants des deux bras restants doivent être décalés de 180° afin de réduire drastiquement l'ondulation de courant d'entrée. Le tableau 4 ci-dessous permet de synthétiser la stratégie à adopter suivant le bras défectueux.

Tableau 4. Stratégie à adopter pour rééquilibrer le convertisseur et minimiser l'ondulation de courant d'entrée

Bras défectueux	Stratégie
Bras 1 (partie non flottante)	Suppression du bras 3
Bras 2 (partie non flottante)	Suppression du bras 4
Bras 3 (partie flottante)	Suppression du bras 1
Bras 4 (partie flottante)	Suppression du bras 2

Le rééquilibrage et la réduction de l'ondulation de courant d'entrée du convertisseur ne sont pas les seuls points critiques. En effet, lorsque le convertisseur est rééquilibré, les contraintes de courant sont doublées sur les deux bras restants. Comme souligné dans la section 2.2, les interrupteurs de puissance sont préalablement dimensionnés pour supporter les contraintes de courant supplémentaires. De là, de nouvelles défaillances peuvent être évitées. De la même manière, les composants magnétiques pourraient être également pré dimensionnés de telle sorte à supporter ces contraintes supplémentaires. Toutefois, cela reviendrait à accroître le volume et le prix des composants magnétiques. Il est important de souligner que les composants magnétiques peuvent être saturés suite à un défaut via les contraintes de courants supplémentaires [11]. Il a été démontré à travers une étude approfondie dans un précédent travail de recherche [15] que la PàC ne doit pas fonctionner au-delà d'un courant de 30A en mode dégradé sous peine de saturer les composants magnétiques du convertisseur. Dans ce cas-là, la tension et la puissance de la PàC sont limitées respectivement à 27V et 810W (Fig. 3). En partant de cette analyse, le contrôle tolérant aux défauts développé consiste à anticiper un possible cas critique du fonctionnement des composants magnétiques. Le contrôle tolérant aux défauts se base sur le courant de référence dans chaque bras du convertisseur (donné par le contrôle du convertisseur), permettant d'obtenir une projection du courant en cas de fonctionnement dégradé. Le principe de cette stratégie est donné dans le tableau 5. Lorsque le courant de référence dépasse son seuil limite (i.e. $i_L > 7.5A$) en mode sain, les performances du contrôle du convertisseur sont dégradées en cas de défauts afin de le ramener dans une condition de fonctionnement optimale.

Des détails supplémentaires sont fournis dans la dernière

Tableau 5. Stratégie d'anticipation du courant en cas de fonctionnement en mode dégradé

Cas de fonctionnement en mode sain	Stratégie en cas de défauts
$I_L > 7.5A$	Dégradation des performances du convertisseur ($I_L \leq 7.5A$)
$I_L \leq 7.5A$	Pas d'action

section de cet article concernant l'implémentation expérimentale des algorithmes de détection ainsi que des contrôles tolérants aux défauts développés. La Fig. 8 permet de synthétiser le principe de fonctionnement des algorithmes de détection et des contrôles tolérants aux défauts.

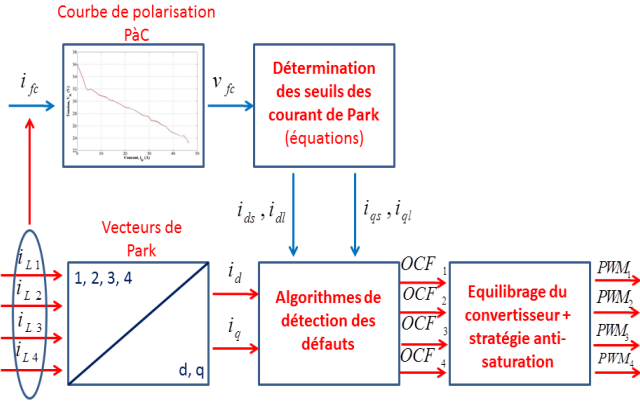


Fig.8 Schéma de principe du fonctionnement des algorithmes de détection et des contrôles tolérants aux défauts développés.

3. RÉSULTATS DE SIMULATION

En se basant sur Matlab/Simulink et la librairie SimPowerSystems, les algorithmes de détection et les contrôles tolérants aux défauts ont été réalisés. Des simulations en temps discret ont été effectuées en utilisant les spécifications du système fournies dans le Tableau 1. Par ailleurs, la période d'échantillonnage pour des objectifs de simulation a été choisie égale à $1\mu s$, correspondant à la période d'échantillonnage de la carte FPGA (utilisée pour les essais expérimentaux). Afin de valider les algorithmes de détection et les contrôles tolérants aux défauts, un défaut de type circuit ouvert et court-circuit ont été simulés sur le bras 4 lorsque la PàC fonctionne à puissance nominale. Les résultats obtenus sont donnés sur les Fig. 9 et 10.

Comme il peut être observé sur les Fig. 9 et 10, un défaut de type circuit ouvert ou de court-circuit peut être détecté et identifié avec précision et rapidité avec les algorithmes de détection développés dans ce travail de recherche. En se basant sur les résultats de simulation obtenus, un défaut peut être détecté en quelques microsecondes. En outre, ces simulations ont été effectuées pour un cas critique de fonctionnement lorsque la PàC fonctionne à puissance nominale. Dans ce cas-là, le courant de référence i_L vaut 10A et est supérieur au seuil limite de courant (Tableau 5) à ne de pas dépasser sous peine de saturer les composants magnétiques. C'est pourquoi, après que le bras defectueux ait été identifié, le convertisseur est rééquilibré en supprimant un bras (Tableau 4) tout en dégradant les performances du contrôle du convertisseur (i.e. $I_L \leq 7.5A$).

De là, le convertisseur peut retrouver un état de fonctionnement optimal en mode de fonctionnement dégradé tout en améliorant sa fiabilité. Par ailleurs, comme il peut être vu sur la Fig. 10, un défaut de court-circuit est détecté rapidement.

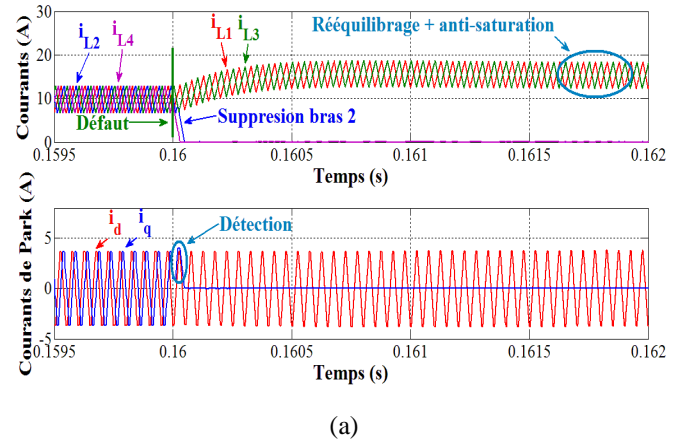


Fig.9 Résultats de simulation pour un défaut de type circuit-ouvert sur le bras 4 : (a) courants du convertisseur et courants de Park, (b) tension et courant de la PàC.

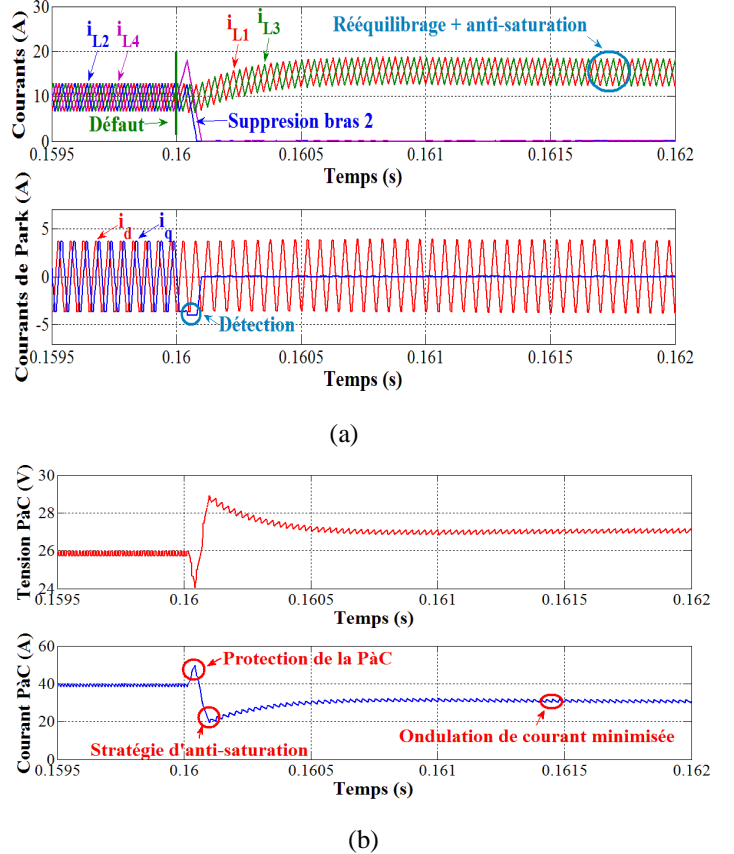


Fig.10 Résultats de simulation pour un défaut de type court-circuit sur le bras 4 : (a) courants du convertisseur et courants de Park, (b) tension et courant de la PàC.

Une fois détecté, le défaut est isolé, permettant de protéger la PàC contre cette surintensité.

Dans la dernière section, le banc de test développé et les résultats expérimentaux sont présentés afin de confirmer les résultats de simulation obtenus.

4. DESCRIPTION DU BANC DE TEST ET RESULTATS EXPERIMENTAUX

4.1. Description du banc de test développé

Afin de démontrer les performances dans la détection et l'identification du bras défectueux des algorithmes de détection, des essais expérimentaux ont été réalisés. Le banc de test réalisé pour cette étude est représenté sur la Fig. 11.

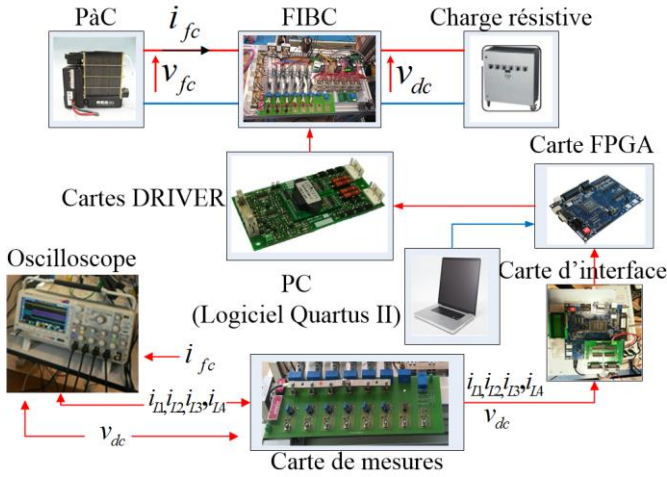


Fig.11 Banc de test expérimental réalisé pour cette étude.

En s'appuyant sur la Fig. 11, le banc de test est composé d'une PàC à membrane échangeuse de protons, d'un convertisseur DC/DC boost flottant entrelacé (FIBC), d'une charge résistive, d'une carte de mesures, d'une carte d'interface, d'une carte FPGA, de cartes DRIVER pour la commande des interrupteurs de puissance et enfin d'un PC. La PàC est fournie en Hydrogène à partir d'un réservoir sous pression et d'Oxygène provenant d'un compresseur à air. Afin de tirer profit de l'utilisation d'une carte FPGA, le contrôle du convertisseur, les algorithmes de détection ainsi que les contrôles tolérants aux défauts ont été implémentés sur cible FPGA au moyen d'un code de programmation en VHDL. Le logiciel Quartus II a été spécialement utilisé pour réaliser ce code de programmation. Une fois le code réalisé, ce dernier est ensuite transféré sur cible FPGA par le biais d'une connexion JTAG [15]. Par ailleurs, les défauts de type circuit ouvert et court-circuit sont simulés à l'aide de boutons poussoirs disponibles sur la carte FPGA. Chaque bouton poussoir est assigné à un numéro de pin spécifique et est associé avec un signal de commande PWM. Lorsque le bouton poussoir n'est pas pressé, le signal de commande PWM est envoyé aux cartes DRIVER. Par contre, si le bouton poussoir est pressé, le signal de commande peut être forcé soit à « 0 » (défaut de type circuit ouvert) ou bien à « 1 » (défaut de court-circuit).

Une carte de mesure (Fig. 11) a été réalisée pour mesurer les courants du convertisseur et également la tension du bus DC pour des objectifs de contrôle et de détection des défauts. Les signaux mesurés sont ensuite filtrés par l'intermédiaire d'un filtre passe-bas du 1^{er} ordre. Par la suite, ces mesures filtrées sont transférées à une carte d'interface. Cette carte permet de convertir les signaux analogiques en signaux numériques. Avant d'envoyer ces signaux vers la carte FPGA, ils sont ajustés en gain afin d'adapter les niveaux de tension

dans l'objectif de les rendre compatibles avec ceux exigés par la carte FPGA [15].

Comme il a été mentionné par Jamshidpour et al. [6], le temps de détection minimum est directement lié aux caractéristiques et aux performances temporelles des composants constitutifs (FPGA, carte d'interface, cartes DRIVER, interrupteurs de puissance) du système (Fig. 11). Dans notre cas d'étude, le retard maximum total du système est égal à 10 μ s. Par conséquent, afin d'éviter toute fausse détection, le temps d'observation des courants de Park est plus élevé que le retard maximum total du système. En outre, les bruits de mesure des courants du convertisseur ont également été pris en considération dans la détection des défauts. En effet, malgré la présence de filtres passe-bas dans la carte de mesure, certains bruits sont toujours présents. De là, les seuils des courants de Park sont augmentés en se basant sur des observations réalisées durant les essais expérimentaux.

4.2. Essais expérimentaux

Dans un premier temps, un défaut de type circuit ouvert a été simulé sur le bras 4 par l'intermédiaire de la carte FPGA utilisé. Pour cet essai, la PàC fonctionne à 80% de sa puissance nominale et ne présente par conséquent aucun danger pour les composants magnétiques suite au défaut d'un bras du convertisseur. Les résultats expérimentaux sont présentés sur les Fig. 12 et 13. Comme il peut être observé sur la Fig. 12, le défaut sur le bras 4 est détecté par l'intermédiaire du seuil maximum du courant i_q . Le défaut est détecté en une dizaine de microsecondes.

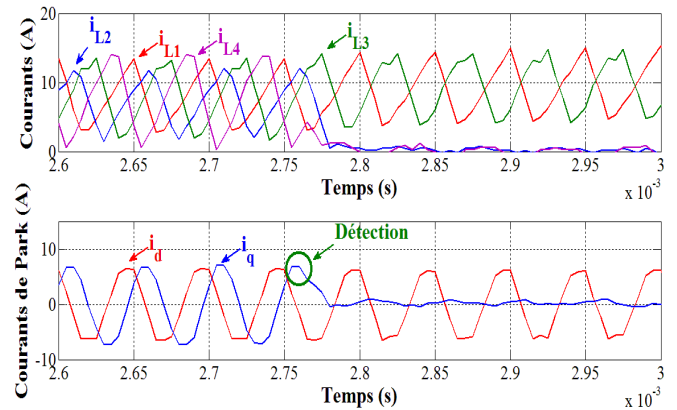


Fig.12 Résultats expérimentaux pour un défaut de type circuit ouvert sur le bras 4 lorsque la PàC fonctionne à 80% de sa puissance nominale: courants du convertisseur et courants de Park.

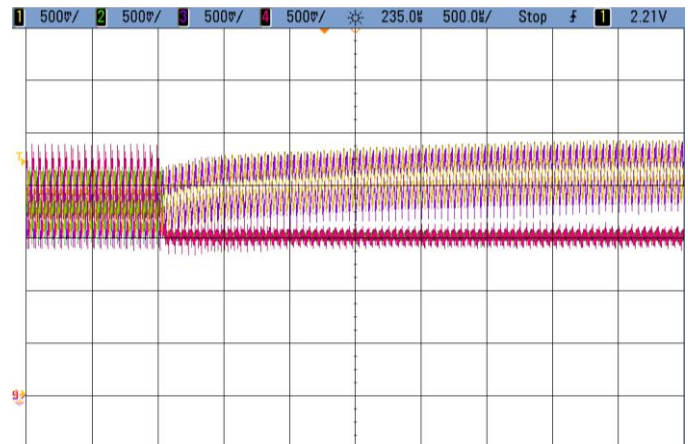


Fig.13 Résultats expérimentaux pour un défaut de type circuit ouvert sur le bras 4 lorsque la PàC fonctionne à 80% de sa puissance nominale: voie 1: courant bras 1 [20A/div], voie 2: courant bras 2 [20A/div], voie 3: courant bras 3 [20A/div], voie 4: courant bras 4 (défectueux) [20A/div].

Une fois le défaut détecté, le bras 2 est supprimé, permettant de rééquilibrer le convertisseur (Fig. 13) et d'ajuster l'angle de décalage des signaux de commande.

De la même manière, un défaut de type circuit ouvert a été simulé sur le bras 1. Les résultats expérimentaux obtenus sont illustrés sur la Fig. 14. Une fois le défaut détecté et localisé, le bras 3 est supprimé et le convertisseur est rééquilibré. En conclusion, l'algorithme développé permet de détecter et localiser précisément le défaut dans le convertisseur, permettant par la suite de mettre en place des actions correctives.

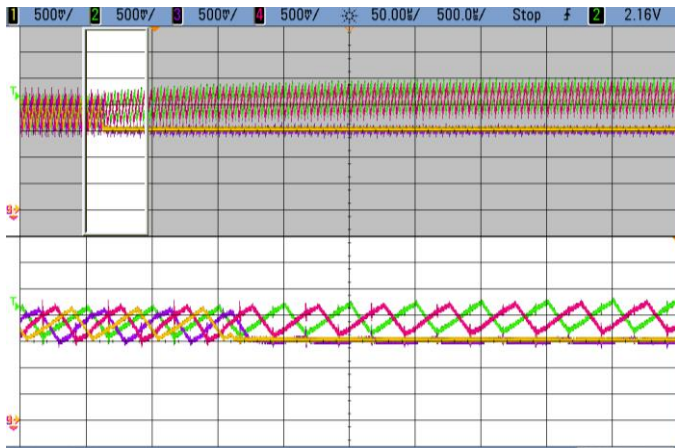


Fig.14 Résultats expérimentaux pour un défaut de type circuit ouvert sur le bras 1 lorsque la PàC fonctionne à 80% de sa puissance nominale: voie 1: courant bras 1 (défectueux) [20A/div], voie 2: courant bras 2 [20A/div], voie 3: courant bras 3 [20A/div], voie 4: courant bras 4 [20A/div].

5. CONCLUSIONS

L'objectif de cet article était de présenter des algorithmes de détection à la fois pour des défauts d'interrupteur de puissance de type circuit ouvert et court-circuit pour un convertisseur DC/DC boost entrelacé flottant. Les algorithmes de détection développés se basent sur les courants de Park. En effet, les convertisseurs DC/DC entrelacés composés de trois bras présentent des similitudes avec les systèmes triphasés car les courants du convertisseur sont décalés les uns par rapport aux autres d'un angle de 120° . La matrice de changement de repère a été modifiée de telle sorte à pouvoir être appliquée à un convertisseur DC/DC boost entrelacé flottant composé de quatre bras. Chaque défaut a été caractérisé au moyen de simulations par l'utilisation des courants de Park. Des résultats de simulation ont permis de valider dans un premier temps les algorithmes de détection. Par la suite, des essais expérimentaux ont été réalisés sur un banc de test comprenant une pile à combustible et le convertisseur DC/DC boost entrelacé flottant. Les résultats obtenus démontrent les performances des algorithmes et également de la gestion des modes de fonctionnement défectueux afin d'améliorer la fiabilité et la disponibilité du convertisseur.

6. REFERENCES

- [1] S. Choi, V.G. Agelidis, J. Yang, D. Coutellier, P. Marabeas, "Analysis, design and experimental results of a floating-output interleaved-input boost-derived DC-DC high-gain transformer-less converter", *IET Power Electronics*, Vol. 4, Iss. 1, pp. 168-180, 2011.
- [2] S. Yang, A. Bryant, P. Mawby, D. Xiang, R. Li, and P. Tavner, "An industry-based survey of reliability in power electronic converters", *IEEE Trans. Ind. Appl.*, vol. 47, Iss. 3, pp. 1441-1451, 2011.
- [3] E. Jamshidpour, M. Shahbazi, P. Poure, E. Gholipour, S. Saadate, "Fault tolerant operation of single-ended non-isolated DC-DC converters under open and short-circuit switch faults", in: *Proceedings of 15th European Conference on Power Electronics and Applications (EPE)*, pp. 1-7, 2013.
- [4] E. Jamshidpour, M. Shahbazi, S. Saadate, P. Poure, E. Gholipour, "FPGA based fault detection and fault tolerance operation in DC-DC converters", in: *Proceedings of IEEE International Symposium on Power Electronics, Electrical Drives, Automation and Motion (SPEEDAM)*, pp. 37-42, 2014.
- [5] E. Jamshidpour, P. Poure, E. Gholipour, S. Saadate, "Single-Switch DC-DC Converter With Fault-Tolerant Capability Under Open-and Short-Circuit Switch Failures", *IEEE Transactions on Power Electronics*, Vol. 30, No. 5, pp. 2703-2712, 2015.
- [6] E. Jamshidpour, P. Poure, S. Saadate, "Photovoltaic Systems Reliability Improvement by Real-Time FPGA-Based Switch Failure Diagnosis and Fault-Tolerant DC-DC Converter", *IEEE Transactions on Industrial Electronics*, Vol. 62, No. 11, pp. 7247-7255, 2015.
- [7] E. Jamshidpour, P. Poure, S. Saadate, "Switch failure diagnosis based on inductor observation for boost converters", *International Journal of Electronics*, 2016, DOI: 10.1080/00207217.2016.1138243.
- [8] D. Guilbert, A. Gaillard, A. Mohammadi, A. N'Diaye, A. Djerdir, "Investigation of the interactions between proton exchange membrane fuel cell and interleaved DC/DC boost converter in case of power switch faults", *International Journal of Hydrogen Energy*, Vol. 40, Iss. 1, pp.519-537, 2015.
- [9] P. Thounthong, B. Davat, "Study of a multiphase interleaved step-up converter for fuel cell high power applications", *Energy Conversion and Management*, Vol. 51, Iss. 4, pp. 826-832, 2010.
- [10] M. Kabalo, D. Paire, B. Blunier, D. Bouquain, M. Godoy Simoes, A. Miraoi, "Experimental Validation of High-Voltage-Ratio Low-Input-Current-Ripple converters for Hybrid Fuel Cell Supercapacitors Systems", *IEEE Transactions on Vehicular Technology*, Vol. 61, Iss. 8, pp. 3430-3440, 2012.
- [11] K.I. Kwu, C.W. Hsiao, J.J. Shieh, "Inductor Saturation Detection with Anti-Saturation Control Strategy Applied", in: *Proceedings of IEEE 10th International Conference on Power Electronics and Drive Systems (PEDS)*, pp. 266-270, 2013.
- [12] R. Wu, F. Blaabjerg, H. Wang, M. Liserre, F. Iannuzzo, "Catastrophic Failure and Fault-Tolerant Design of IGBT Power Electronic Converters-An Overview", in: *Proceedings of 39th Annual Conference of the IEEE Industrial Electronics Society (IECON'13)*, pp. 507-513, 2013.
- [13] E. Ribeiro, A.J. Marques Cardoso, C. Boccaletti, "Open-Circuit Fault Diagnosis in Interleaved DC-DC Converters", *IEEE Transactions on Power Electronics*, Vol. 29, No. 6, pp. 3091-3102, 2014.
- [14] J. Poon, I.C. Konstantakopoulos, C. Spanos, S.R. Sanders, "Real-time model-based fault diagnosis for switching power converters", in: *Proceedings of IEEE Applied Power Electronics Conference and Exposition*, pp. 358-364, 2015.
- [15] D. Guilbert, A. Gaillard, A. N'Diaye, A. Djerdir, "Power switch failures tolerance and remedial strategies of a 4-leg floating interleaved DC/DC boost converter for photovoltaic/fuel cell applications", *Renewable Energy*, Vol. 90, pp. 14-27, 2016.
- [16] J. Lewis Blackburn, "Symmetrical Components for Power Systems Engineering", Marcel Dekker, New York (1993). ISBN 0-8247-8767-6.
- [17] D. Guilbert, A. N'Diaye, A. Gaillard, A. Djerdir, "Fuel cell systems reliability and availability enhancement by developing a fast and efficient power switch open-circuit fault detection algorithm in interleaved DC/DC boost converter topologies", *International Journal of Hydrogen Energy*, pp. 1-13, 2016, à paraître.
- [18] J.O. Estima, N.M.A. Freire, A.J.M. Cardoso, "Recent advances in fault diagnosis by Park's vector approach", in: *Proceedings of IEEE Workshop on Electrical Machines Design Control and Diagnosis (WEMDCD)*, pp. 279-288, 2013.
- [19] B. Wahdame, L. Girardot, D. Hissel, F. Harel, X. François, D. Candusso, M.C. Pera, L. Dumercy, "Impact of power converter current ripple on the durability of a fuel cell stack", in: *Proceedings of IEEE International Symposium on Industrial Electronics (ISIE'08)*, pp. 1495-1500, 2008.
- [20] M. Gerard, J.P. Poirot-Crouzevier, D. Hissel, M.C. Pera, "Ripple Current Effects on PEMFC Aging Test by Experimental and Modeling", *Journal of Fuel Cell Science and Technology*, Vol. 8, 2011, pp. 1-5.
- [21] O. Rallieres, "Modélisation et caractérisation de Piles à Combustible et Electrolyseurs PEM", PhD thesis, Université de Toulouse, 2011, available online : <http://tel.archives-ouvertes.fr/docs/00/81/93/17/PDF/Rallieres-2011.pdf>
- [22] A. El Khateb, N.A. Rahim, J. Selvaraj, B.W. Williams, "DC-to-DC Converter With Low Input Current Ripple for Maximum Photovoltaic Power Extraction", *IEEE Transactions on Industrial Electronics*, Vol. 62, Iss. 4, pp. 2246-2256, 2015.